

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji OOTA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PRESSURE-CONTACT TYPE SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-033325	February 12, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 2月 12日

出願番号

Application Number: 特願 2003-033325

[ST.10/C]:

[JP 2003-033325]

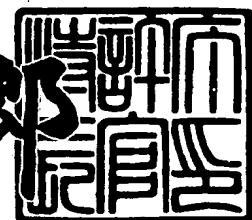
出願人

Applicant(s): 三菱電機株式会社

2003年 3月 14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特 2003-3016297

【書類名】 特許願

【整理番号】 542004JP01

【提出日】 平成15年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/744

H01L 29/74

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 大田 賢児

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 徳能 太

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 裕

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 圧接型半導体装置

【特許請求の範囲】

【請求項1】 ターンオン・オフ時に電流を流す外部ゲート端子および外部カソード電極と外部アノード電極を備えた外周ゲート構造の圧接型半導体装置において、

表面側にゲート電極及びカソード電極が形成され、裏面側にアノード電極が形成された外周段差部を有する半導体基体と、

上記外部ゲート端子の内周部と上記ゲート電極との間に設けられた圧接補助ブロックと、を備え、

上記ゲート電極は上記圧接補助ブロックと対向するように上記半導体基体の外周部表正面に形成された段差部上に形成され、上記ゲート電極の上面部所定位置に凸状当接部が形成されて上記圧接補助ブロックと当接し、上記ゲート電極の上面でその内周側から上記凸状当接部との隣接位置までの表面は絶縁膜で被膜されていることを特徴とする圧接型半導体装置。

【請求項2】 上記ゲート電極は第1及び第2のゲート電極を有し、該第1ゲート電極は上記圧接補助ブロックと対向するように上記半導体基体の外周段差部上に形成され、上記第1ゲート電極の表面上に、上記第2ゲート電極が凸状に形成されて上記圧接補助ブロックと当接し、上記第1ゲート電極の上面でその内周側から上記第2ゲート電極に隣接する位置までの表面は絶縁膜で被膜されている請求項1記載の圧接型半導体装置。

【請求項3】 上記ゲート電極の表面上に形成された凸状当接部は上記ゲート電極と一体構成の凸状部である請求項1記載の圧接型半導体装置。

【請求項4】 上記ゲート電極は第1及び第2のゲート電極を有し、該第2ゲート電極は上記圧接補助ブロックと対向するように上記半導体基体の外周段差部上に形成され、上記第2ゲート電極を覆うように上記第1ゲート電極が形成されて上記第1ゲート電極と一体構成の凸状部が上記圧接補助ブロックと当接する請求項1記載の圧接型半導体装置。

【請求項5】 上記ゲート電極は、上記半導体基体の外周段差部上に該半導

体基体と一体構成で形成された凸状部を内包し、上記ゲート電極と一体構成の凸状部が上記半導体基体と一体構成の凸状部の上部に形成された請求項3記載の圧接型半導体装置。

【請求項6】 上記ゲート電極は第1及び第2のゲート電極を有し、該第1のゲート電極は、上記半導体基体の外周段差部上に該半導体基体と一体構成で形成された凸状部を内包し、上記凸状当接部が第2ゲート電極である請求項1記載の圧接型半導体装置。

【請求項7】 ターンオン・オフ時に電流を流す外部ゲート端子および外部カソード電極と外部アノード電極を備えたセンターゲート構造の圧接型半導体装置において、

表面側にゲート電極及びカソード電極が形成され、裏面側にアノード電極が形成された半導体基体と、

上記半導体基体の中央部で、且つ、上記外部ゲート端子の内周部と上記ゲート電極との間に設けられた圧接補助ブロックと、を備え、

上記ゲート電極は、上記圧接補助ブロックと対向するように上記半導体基体の中央部に形成された段差凹部内に形成され、上記ゲート電極の上面部中央位置の表面上に凸状当接部が形成されて上記圧接補助ブロックと当接し、上記ゲート電極の上面で上記凸状当接部以外の表面は絶縁膜で被膜されていることを特徴とする圧接型半導体装置。

【請求項8】 上記ゲート電極は第1及び第2のゲート電極を有し、該第1ゲート電極は上記圧接補助ブロックと対向するように上記半導体基体の中央段差凹部上に形成され、上記第1ゲート電極の表面上に、上記第2ゲート電極が凸状に形成されて上記圧接補助ブロックと当接する請求項7記載の圧接型半導体装置

【請求項9】 上記ゲート電極の表面上に形成された凸状当接部は上記ゲート電極と一体構成の凸状部である請求項7記載の圧接型半導体装置。

【請求項10】 上記ゲート電極は第1及び第2のゲート電極を有し、該第2ゲート電極は上記圧接補助ブロックと対向するように上記半導体基体の中央段差凹部上に形成され、上記第2ゲート電極を覆うように上記第1ゲート電極が形

成されて上記第1ゲート電極と一体構成の凸状部が上記圧接補助ブロックと当接する請求項7記載の圧接型半導体装置。

【請求項11】 上記ゲート電極は、上記半導体基体の中央段差凹部上に該半導体基体と一体構成で形成された凸状部を内包し、上記第1ゲート電極と一体構成の凸状部が上記半導体基体と一体構成の凸状部の上部に形成された請求項9記載の圧接型半導体装置。

【請求項12】 上記ゲート電極は第1及び第2のゲート電極を有し、該第1のゲート電極は、上記半導体基体の中央段差凹部上に該半導体基体と一体構成で形成された凸状部を内包し、上記凸状当接部が第2ゲート電極である請求項7記載の圧接型半導体装置。

【請求項13】 上記半導体基体上に形成された該半導体基体と一体構成で形成された凸状部の断面形状は、前記圧接補助ブロックと当接する面に近づくにつれて先細りとなるテーパー形状を有する請求項5, 6, 11, 12のいずれか1項に記載の圧接型半導体装置。

【請求項14】 上記圧接補助ブロックと対向する領域のゲート電極は前記半導体基体の中間位置に形成されている請求項7乃至12のいずれか1項に記載の圧接型半導体装置。

【請求項15】 上記第2ゲート電極は少なくともアルミニウムよりも難酸化性の電極部材で形成された請求項2, 4, 6, 8, 10, 12のいずれか1項に記載の圧接型半導体装置。

【請求項16】 上記第2ゲート電極は異種の材料からなる多層構造である請求項2, 4, 6, 8, 10, 12のいずれか1項に記載の圧接型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はGCT(Gate Commutated Turn-off)サイリスタのような圧接型半導体装置に関し、例えば、電力用応用としてはBTBやSVG等、工業用応用としては製鉄圧延機駆動用インバータ等、その他高電圧・大容量スイッチ等に適用される圧接型半導体装置に関するものである。

【0002】

【従来の技術】

従来のGCTサイリスタについて図6を参照して以下に説明する。図6は一般的な外周ゲート構造のGCTサイリスタの要部断面図である。同図において、半導体基体1の表面側にアルミニウム材のゲート電極1a、アルミニウム材のカソード電極1bが形成され、裏面側にはアルミニウム材のアノード電極1cが形成されている。1dはポリイミドなどの絶縁膜、1eは半導体基体1の最外周に形成された絶縁ゴム部材である。

【0003】

半導体基体1の表面のカソード電極1b側には、カソード歪緩衝板2が設けられ、その外側上部に外部カソード電極（図1参照）が形成されている。アノード電極1c側には、アノード歪緩衝板4が設けられ、その下側外部に外部アノード電極5が形成されている。リングゲート部6がゲート電極1aに当接し、この当接先端部は幅0.5mm程度の平面部となっている。外部ゲート端子（図1参照）がリングゲート部6と電気的に接続され、皿バネのような環状の弾性体により、環状絶縁体を介して外部ゲート端子とともにリングゲート部6をゲート電極1aに押圧している。絶縁体10は、リングゲート部6とカソード歪緩衝板2及び外部カソード電極とを絶縁する。このように形成されたGCTサイリスタは密閉構造となっており、この内部は不活性ガスで置換されている。

【0004】

次に、上記従来のGCTサイリスタの動作について説明する。GCTサイリスタをターンオンするときには、外部ゲート端子から外部カソード電極に向かって電流を流す。このときのゲート電流の立ち上がりの傾きは、一般に1000A/ μ s以上とし、ターンオン挿がり速度を速める必要がある。また、ターンオフ時には外部カソード電極から外部ゲート端子に向かって電流を流すが、このとき主電流相当の電流をゲートに転流させるため、数千A/ μ sの傾きで通電する必要がある。このような大きな電流を瞬時に通電するためには外部ゲート端子から外部カソード電極に至る通電路の接触抵抗を極力小さくする必要がある。

【0005】

さらに、G C T サイリスタにおいては、通常はゲート・カソード間に逆バイアス電圧を印可して使用している。カソード歪緩衝板2と半導体基体表面に形成されたゲート電極1a間は数十μm程度のギャップ（隙間）しかなく、この隙間での放電を防止するために、通常、ポリイミドなどの絶縁膜1dをゲート電極1aの最内周側及びその表面に形成し、絶縁体10の直下位置までの表面を被覆している（例えば、特許文献1参照）。

【0006】

【特許文献1】

特開平8-330572号公報（図1）

【0007】

【発明が解決しようとする課題】

しかしながら、図6に示すような従来構成のG C T サイリスタにおいては、リングゲート部6は半導体基体表面に形成されたゲート電極1aに接触しなければならず、一方、リングゲート部6に隣接するカソード歪緩衝板2の外周部直下のゲート電極1a部分は放電防止のためにポリイミド絶縁膜1dでコーティングされていなければならない。

【0008】

また、写真製版技術によって形成できるアルミ電極やポリイミド絶縁膜と比較して他の組立部材は寸法公差が大きく、さらに、組立て時の各部材の位置決めのためのクリアランス確保のために、半導体基体1に対するカソード歪緩衝板2とリングゲート部6の位置は各部材の寸法公差を合計した集積公差の範囲内で異なる。

【0009】

また、リングゲート部6およびこれに隣接するカソード歪緩衝板2の外周部は半導体基体外周部の極めて狭い領域に組立てなければならない。従って、「ギャップ間での放電を防止するためにカソード歪緩衝板2の外周部直下のゲート1aはポリイミド1dでコーティングされていなければならない。」という条件を満足することは、部品加工精度、組立て時の位置決め精度の観点から極めて困難であった。

【0010】

一方、他の放電防止の方策として、図6に示す従来構造のカソード歪緩衝板2の径を小さくして、半導体基体表面に形成したカソード電極1bと同程度の外径まで後退させ、ギャップ自体をなくす方法もあるが、この場合は、GCTサイリスタの動特性（例えば、サージ耐量）が低下するという問題が発生する。

【0011】

本発明は、上記課題を解決するためになされたもので、動特性が低下することなく、カソード歪緩衝板とゲート電極間のギャップ間の放電をより簡単に精度良く防止できる構造の圧接型半導体装置とその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る圧接型半導体装置は、ターンオン・オフ時に電流を流す外部ゲート端子および外部カソード電極と外部アノード電極を備え、表面側にゲート電極及びカソード電極が形成され、裏面側にアノード電極が形成された半導体基体と、外部ゲート端子の内周部と上記ゲート電極との間に設けられた圧接補助ブロックと、を備える。上記ゲート電極は圧接補助ブロックと対向するように半導体基体の外周部表正面に形成された段差部上に形成され、ゲート電極の上面部所定位置に凸状当接部が形成されて上記圧接補助ブロックと当接させる。上記ゲート電極の上面でその内周側から上記凸状当接部との隣接位置までの表面は絶縁膜で被膜することを特徴とする。

【0013】

これにより、図6に示す従来構成の場合よりもリングゲート部6がアルミ材のゲート電極に接触・当接する部位を精度よく位置決めすることができ、ポリイミド絶縁膜1dの成膜面積を広げることができる。よって、カソード歪緩衝板と半導体基体表面に形成されたゲート電極間のギャップ間での放電を防止する構成が、従来よりも精度よく実現できる。

【0014】

【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態について説明する。ただし、本発明の実施の形態では図示のGCTサイリスタを用いた場合を例示して説明しているが、本発明はこれに限定されるものではなく、他の圧接型半導体装置にも適用可能である。なお、各図において共通する要素には同一の符号を付し、重複する説明については簡単のために省略している。

【0015】

(実施の形態1)

本発明の実施の形態1について図1(a)、(b)を参照して以下に説明する。図1(a)は本発明の実施の形態1に係る外周ゲート構造のGCTサイリスタを示す概略構成図であり、図1(b)は図1(a)の要部(A部)拡大断面図である。図1(a)、(b)において、1は半導体基体で、その外周近傍部は半導体基体の厚みが所定値だけ薄くなった肉薄段差部1'として構成され、この段差部の表面にアルミニウム材の第1ゲート電極1aが形成され、さらに第1ゲート電極1aの表面に第2ゲート電極1a'が所定位置に凸状に形成されている。1bはアルミニウム材のカソード電極、1cはアルミニウム材のアノード電極、1dはギャップ間放電防止用のポリイミド材等の絶縁膜、1eは半導体基体1の最外周端部を保持している絶縁ゴム部材である。

【0016】

半導体基体の外周近傍の段差部上面には、ポリイミド絶縁膜1dが、第1ゲート電極1aのカソード歪緩衝板2と対向する上面を覆うように形成され、このポリイミド絶縁膜1dの上面レベルは半導体基体1の上面と同一の高さレベルとなるように構成されている。なお、本実施の形態では、第1ゲート電極、カソード電極、アノード電極、ポリイミド絶縁膜の膜厚は数十 μm のオーダーとしているが、本発明はこのような膜厚値に限定されるものではない。

【0017】

半導体基体1の表面のカソード電極1b側にはカソード歪緩衝板2が積載され、その上部外側には外部カソード電極3が形成されている。アノード電極1c側にはアノード歪緩衝板4が積載され、その下部外側には外部アノード電極5が形成されている。6は圧接補助ブロックとして機能しているリングゲート部であり

、第2ゲート電極1a'の上面と当接するように載置されている。外部ゲート端子7はリングゲート部6とは固定されていないが、電気的に接続されている。8は皿バネのような環状の弾性体で、環状絶縁体9を介して外部ゲート端子7とともにリングゲート部6を第2ゲート電極1a'に押圧している。このように、凸状の第2ゲート電極1a'は、リングゲート部6がアルミ材のゲート電極に接触・当接する部位を位置決めする機能も有している。

【0018】

絶縁体10はカソード歪緩衝板2とリングゲート部6間に設けられ、リングゲート部6とカソード歪緩衝板2及び外部カソード電極3とを絶縁する。11は外部カソード電極3の外周端部に固着された第1のフランジ、12は外部アノード電極5の外周端部に固着された第2のフランジ、13はセラミック等からなる絶縁筒で、第1と第2のフランジ間に矜持されている。このように形成されたGCTサイリスタは密閉された構造となっており、この内部は不活性ガスで置換されている。

【0019】

本実施の形態1においては、第1ゲート電極1aの表面に第2ゲート電極1a'が写真製版技術を適用して凸状に形成され、リングゲート電極6の底面の略中央部が確実にこの凸状の第2ゲート電極1a'の上面に当接する構成である。即ち、第1ゲート電極は圧接補助ブロックとしてのリングゲート部6と対向するように半導体基体の外周段差部1'の上面に形成され、第1ゲート電極(1a)の上面部所定位置に凸状当接部としての第2ゲート電極(1a')が形成されて圧接補助ブロック6の所定位置と当接し、第1ゲート電極の上面部で、その内周側から凸状当接部として形成された第2ゲート電極1a'の隣接位置までの表面は、ポリイミド絶縁膜(1d)で被膜されている。

【0020】

これにより、図6に示す従来構成の場合よりも、リングゲート部6がアルミ材のゲート電極に接触・当接する部位を精度よく位置決めすることができる。このように従来よりも精度よく位置決め可能となった分だけ、第1ゲート電極1aの表面に形成されるポリイミド絶縁膜1dの成膜面積を、絶縁体10の直下位置よ

り外周部側の第2ゲート電極1a'に隣接する位置まで広げることができる。

【0021】

よって、カソード歪緩衝板2と半導体基体表面に形成されたゲート電極1a間のギャップ間での放電を防止するために「カソード歪緩衝板2の外周部直下のゲート電極1aはポリイミド1dでコーティングされていなければならない。」という条件を満足することができ、また、半導体基体1に対するカソード歪緩衝板2とリングゲート部6の位置決めは従来構造よりも精度よく実現できる。

【0022】

また、好ましくは第2ゲート電極1a'をニッケル(Ni)等の酸化しにくい金属を蒸着することにより形成すれば、製造工程中の酸化を抑制でき、リングゲート部6との接触抵抗を低減することができる。また、第2ゲート電極1a'をニッケル(Ni)よりも酸化しにくい、例えば、金(Au)等の金属材で形成すれば、更に製造工程中の酸化を抑制できる。金(Au)とアルミニウム(Al)とは密着しにくいので、第1ゲート電極1a上に、第2ゲート電極1a'をニッケル(Ni)、金(Au)の順序で交互に積層して多層構造としてもよい。これにより、第2ゲート電極1a'の製造工程中の酸化をさらに抑制することができ、第1ゲート電極1aとの密着性も向上するので、第2ゲート電極1a'とリングゲート部6との接触抵抗を更に低減することができる。

【0023】

(実施の形態2)

本発明の実施の形態2について図2を参照して以下に説明する。図2は本発明の実施の形態2に係る外周ゲート構造のGCTサイリスタの要部(A部)拡大断面図である。図2に示すように本実施の形態2においては、半導体基体1の表面に第2ゲート電極1a'が載置され、この第2ゲート電極1a'を覆うように第1ゲート電極1aが半導体基体1の表面に形成される。ここで、第2ゲート電極1a'を覆う第1ゲート電極1aの部分が凸状に形成されている。

【0024】

即ち、第2ゲート電極(1a')は圧接補助ブロック6と対向するように半導体基体の外周段差部上に形成され、第2ゲート電極(1a')を覆うように第1ゲート電

極(1a)が形成されて第1ゲート電極(1a)と一体構成の凸状部1gが補助ブロック6と当接する。

【0025】

これにより、図6に示す従来構成の場合よりもリングゲート部6がアルミ材のゲート電極に接触・当接する部位を精度よく位置決めすることができ、従来よりも精度よく位置決め可能となった分だけ、第1ゲート電極1aの表面に形成されるポリイミド絶縁膜1dの成膜面積を、第1ゲート電極1aの凸状部に隣接する位置まで広げることができる。

【0026】

このように第1ゲート電極1aの一部を凸部構成とすることにより、カソード歪緩衝板2と半導体基体表面に形成されたゲート電極1a間のギャップにおける放電を防止するとの観点では、実施の形態1と同等の効果を得ることができる。更に、実施の形態1では、第2ゲート電極1a'が微小な突起のようにゲート電極表面に露出していたが、本実施の形態2では、第2ゲート電極1a'は第1ゲート電極1aによって被覆・保護されている。従って、リングゲート部6による圧接時の機械的ストレスによるダメージを軽減でき、GCTサイリスタの信頼性を向上させることができる。

【0027】

(実施の形態3)

本発明の実施の形態3について図3を参照して以下に説明する。図3は本発明の実施の形態3に係る外周ゲート構造のGCTサイリスタの要部(A部)拡大断面図である。図3に示すように本実施の形態3においては、半導体基体1の表面の一部を化学的にエッティング処理して凸部1fを形成した後で第1ゲート電極1aを形成したことを特徴とし、その他の構成については実施の形態2と同様である。この凸部1fは少なくとも2回のエッティングによって形成される。

【0028】

先ず最初のエッティング処理では、凸部1fを指定の高さに合わせ込むために、第1ゲート電極1aが形成される領域の半導体基体1をその表面からエッティングする。次に、凸部1fの上面となる部分で且つリングゲート部6の底面と接触す

る面の該当部分にはエッチングされない保護膜（不図示）を形成し、この保護膜を形成した状態で第2回目のエッチングをすることによって、凸部が半導体基体1の表面の該当部分に残り、凸部1fが形成される。その後、この凸部1fを覆うように第1ゲート電極1aを半導体基体1の表面に形成する。

【0029】

即ち、第1ゲート電極は、半導体基体の外周段差部上に半導体基体と一体構成で形成された凸状部(1f)を内包し、第1ゲート電極(1a)と一体構成の凸状部1gが半導体基体と一体構成の凸状部1fの上部を覆うように形成されている。

【0030】

これにより、図6に示す従来構成の場合よりもリングゲート部6がアルミ材のゲート電極に接触・当接する部位を精度よく位置決めすることができ、従来よりも精度よく位置決め可能となった分だけ、第1ゲート電極1aの表面に形成されるポリイミド絶縁膜1dの成膜面積を、第1ゲート電極1aの凸状部に隣接する位置まで広げることができる。

【0031】

このように半導体基体1の表面の一部を凸部(1f)構成とし、それを覆う第1ゲート電極1aの部分を凸部(1g)構成とすることにより、カソード歪緩衝板2と第1ゲート電極1a間のギャップ間の放電防止という観点では、実施の形態1及び2と同等の効果を得ることができる。更に、実施の形態1及び2では、ゲート電極の凸部として、第2ゲート電極1a'をアルミニウム(A1)等の金属を蒸着することによって形成したが、電極の密着性が悪い場合は第2ゲート電極が半導体基体からはがれる可能性があった。

【0032】

これに対して本実施の形態3では、実施の形態2で示した第2ゲート電極1a'を使用する代わりに、上述のようにエッチングにより半導体基体1自体の一部を凸部1fとして一体的に形成している。これにより、ゲート電極のはがれという問題を確実に回避でき、実施の形態2の場合よりもGCTサイリスタの信頼性を更に向上させることができる。

【0033】

(実施の形態4)

本発明の実施の形態4について図4 (a)、(b)を参照して以下に説明する。図4 (a)は本発明の実施の形態4に係る外周ゲート構造のGCTサイリスタの要部(A部)拡大断面図であり、図4 (b)はその変形例である。図4 (a)に示すように本実施の形態4においては、実施の形態3と同様に半導体基体1を化学的にエッチング処理して凸部1fを形成し、この凸部1fの上面に第2ゲート電極1a'を載置し、この凸部1fと第2ゲート電極1a'を覆うように第1ゲート電極1aが半導体基体1の表面に形成される。

【0034】

このように、凸部1fを形成した後、第2ゲート電極1a'を積載し、これらを保護するように第1ゲート電極1aを一部凸状に形成し、この第1ゲート電極1aの凸状部上面がリングゲート部6の下端面と当接している。即ち、第1ゲート電極は、半導体基体の外周段差部上に半導体基体と一体構成で形成された凸状部1fを内包し、第1ゲート電極(1a)と一体構成の凸状部1gが半導体基体と一体構成の凸状部1fの上部に形成されている。

【0035】

これにより、図6に示す従来構成の場合よりもリングゲート部6がアルミ材のゲート電極に接触・当接する部位を精度よく位置決めすることができ、従来よりも精度よく位置決め可能となった分だけ、第1ゲート電極1aの表面に形成されるポリイミド絶縁膜1dの成膜面積を、第1ゲート電極1aの凸状部に隣接する位置まで広げることができる。

【0036】

このように半導体基体1の凸部1fの上面に載置した第2ゲート電極1a'を第1ゲート電極1aで被覆して保護する構成とすることにより、リングゲート部6の下端面と当接する第1ゲート電極1aの凸状部が、例えばリングゲート部6との摩擦によって破損する等のダメージを受けた場合でも、第2ゲート電極1a'が保護部材として機能することができ、実施の形態3の場合よりもGCTサイリスタの信頼性を更に向上させることができる。

【0037】

また、好ましくは、上記エッティングにより形成された半導体基体1の凸部1fはテーパー形状（断面形状が台形）であってもよい。即ち、この凸部1fは微小な突起であるため、凸部1fの形成後になんらかの機械的なダメージ等が加えられた場合、凸部1fがチッピング（破損）してしまう可能性がある。このため、上記のように凸部1fをテーパー形状（断面形状が台形）とすることで、凸部1fの底部を大きくして破損を効果的に防止することができる。

【0038】

なお、本実施の形態では第1と第2のゲート電極の形成順序を変えてもよい。即ち、図4（b）に示す変形例では、半導体基体1の表面をエッティングにより凸部1fを形成した後、第1ゲート電極1aで凸部1fを覆うように形成する（実施の形態3と同様）。その後、第1ゲート電極1aの上面で凸部1fの形成位置の上部に対応する位置に第2ゲート電極1a'を形成し、この第2ゲート電極1a'の上面がリングゲート部6の下端面と当接する（実施の形態1と同様）ように構成してもよい。即ち、第1ゲート電極(1a)は、半導体基体の外周段差部上に半導体基体と一体構成で形成された凸状部(1f)を内包し、リングゲート部6と当接する凸状当接部(1a')として第2ゲート電極(1a')が形成されている。

【0039】

このように構成することで、微小な第2ゲート電極1a'はリングゲート部6の下端面と直接当接するため破損・磨耗しやすくなるが、第2ゲート電極1a'が破損した場合でも、第1ゲート電極1aが保護部材としても機能するため、実施の形態3よりも更に信頼性を向上させることができる。

【0040】

(実施の形態5)

本発明の実施の形態5について図5（a）、（b）を参照して以下に説明する。図5（a）は本発明の実施の形態5に係るセンターゲート構造のGCTサイリスタを示す概略構成図であり、図5（b）は図5（a）の要部（A部）拡大断面図である。

【0041】

実施の形態1～4ではリングゲート部6を半導体基体1の外周部に設けていた

が、本実施の形態5においては図5（a）、（b）に示すように、リングゲート部6を半導体基体1の中央部に設け、センターゲート構造としたことを特徴としている。半導体基体1の中央部上面にエッティング等により凹部（段差部）を形成し、この凹部に第1ゲート電極1aを載置し、さらに第1ゲート電極1aの中央部上面に第2ゲート電極1a'を積載し、第2ゲート電極1a'がリングゲート部6の底面中央部と当接するように構成している。

【0042】

即ち、半導体基体(1)の中央部で、且つ、外部ゲート端子(7)の内周部と第1及び第2ゲート電極(1a、1a')との間に設けられた圧接補助ブロック(6)と、を備え、第1ゲート電極は圧接補助ブロック(6)と対向するように半導体基体の中央部に形成された段差凹部内に配置され、第1ゲート電極(1a)の上面部中央位置の表面上に凸状当接部として第2ゲート電極(1a')または第1ゲート電極(1a)と一体構成の凸状部(1g)が形成されて圧接補助ブロック(6)と当接し、第1ゲート電極の上面で凸状当接部(1a'または1g)以外の表面はポリイミド絶縁膜(1d)で被膜されている。

【0043】

図示の例では、第2ゲート電極1a'以外の第1ゲート電極1aの上面はポリイミド絶縁膜1dで被覆し、ポリイミド絶縁膜1dの成膜面積を、第2ゲート電極1a'の凸状部に隣接する位置まで広げている。このようにリングゲート部6を半導体基体1の中央部に設けた構成においても、実施の形態1～4と同様の効果を得ることができる。

【0044】

例えば、図5（a）、（b）に示す本実施の形態5に係るGCTサイリスタは、図1（a）、（b）に示す実施の形態1に係るGCTサイリスタの外周ゲート構造をセンターゲート構造に置き換えた構成である。同様に、図2乃至図4（a）、（b）に示す実施の形態2～4に係るGCTサイリスタの外周ゲート構造についても同様にセンターゲート構造に置き換えることもできる。更に、実施の形態1～5に係るGCTサイリスタの外周またはセンターゲート構造を、リングゲート部6を半導体基体1の中間部に設けた中間ゲート構造に置き換えることも可

能である。

【0045】

【発明の効果】

以上説明したように、本発明によれば、リングゲート部がアルミゲート電極に接触する部分を従来よりも精度良く位置決めすることができるとなり、その分だけポリイミド絶縁膜の形成領域を広げることができる。従って、「ギャップ間での放電を防止するためにカソード歪緩衝板2の外周部直下のゲート電極1aはポリイミド1dでコーティングされていなければならない。」という条件を満足することが、従来構造よりも容易に精度よく実現でき、GCTサイリスタの信頼性を向上できる。

【図面の簡単な説明】

【図1】 (a) は本発明の実施の形態1に係るGCTサイリスタを示す概略構成図であり、(b) は(a)の要部(A部)拡大断面図である。

【図2】 本発明の実施の形態2に係るGCTサイリスタの要部(A部)拡大断面図である。

【図3】 本発明の実施の形態3に係るGCTサイリスタの要部(A部)拡大断面図である。

【図4】 (a) は本発明の実施の形態4に係るGCTサイリスタの要部(A部)拡大断面図であり、(b) はその変形例の要部拡大断面図である。

【図5】 (a) は本発明の実施の形態5に係るGCTサイリスタを示す概略構成図であり、(b) は(a)の要部(A部)拡大断面図である。

【図6】 従来のGCTサイリスタの要部拡大断面図である。

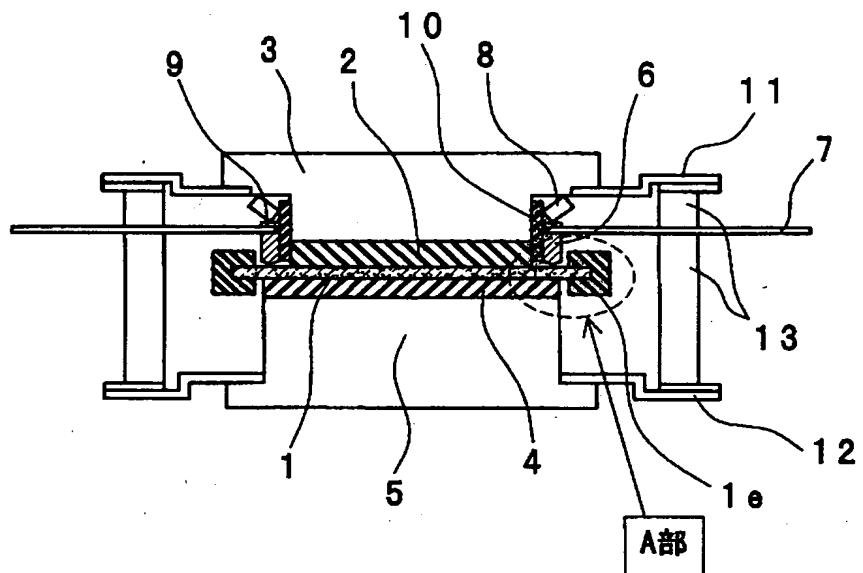
【符号の説明】

1 半導体基体、	1 a 第1ゲート電極、	1 b 第2ゲート電極、
1 c アノード電極、	1 d 絶縁膜、	1 f 半導体基体凸部、
1 g ゲート電極凸部、	2 カソード歪緩衝板、	3 外部カソード電極
、 4 アノード歪緩衝板、	5 外部アノード電極、	6 リングゲート部、
7 外部ゲート端子		

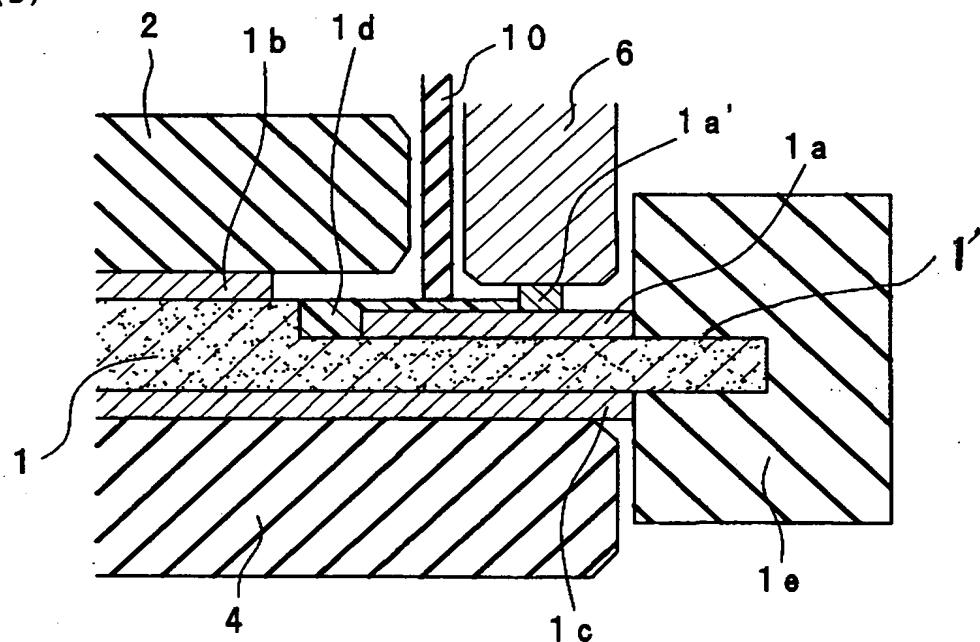
【書類名】 図面

【図1】

(a)

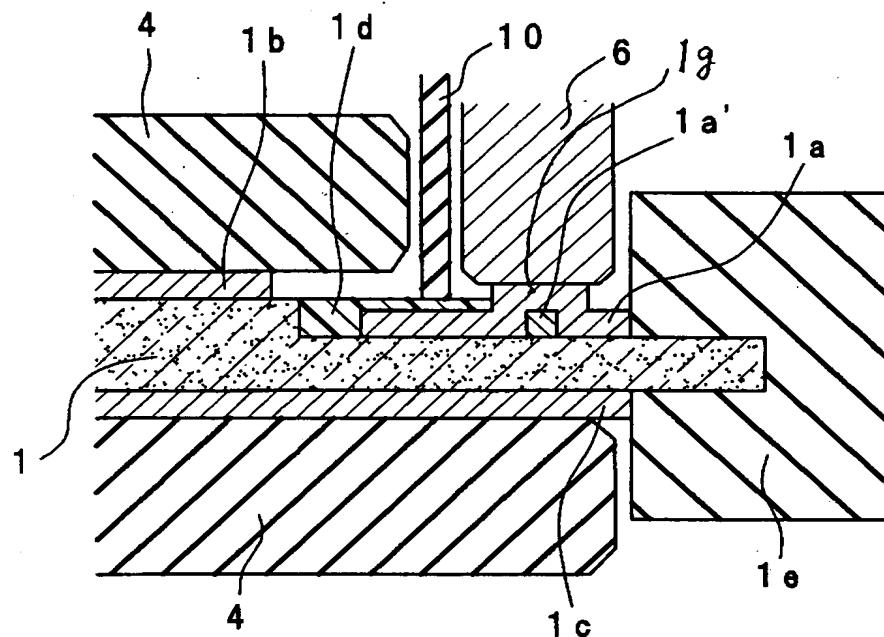


(b)

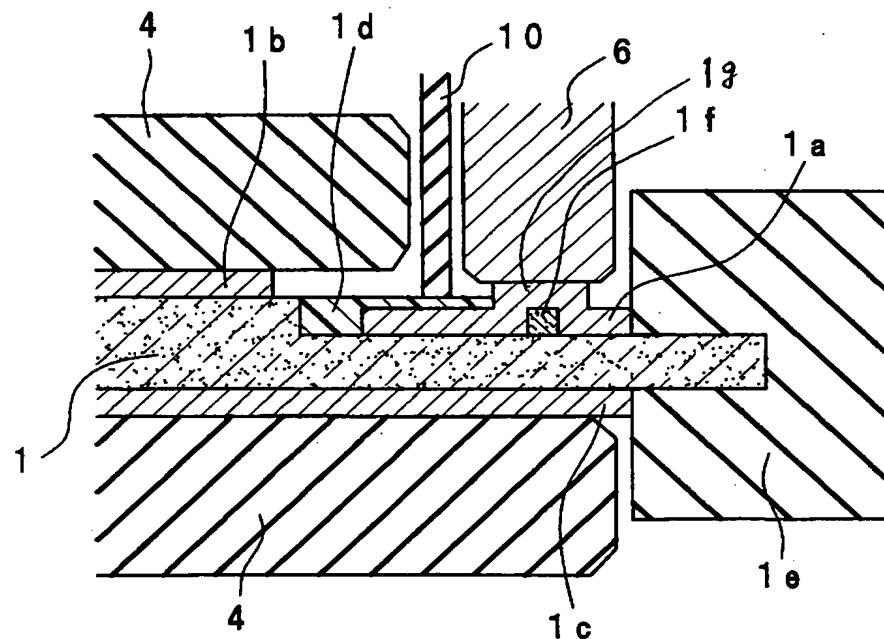


1:半導体基体	1 d:絶縁膜	5:外部アノード電極
1 a:第1ゲート電極	1 e:絶縁ゴム部材	6:リングゲート部
1 a':第2ゲート電極	2:カートド歪緩衝板	
1 b:カートド電極	3:外部カートド電極	
1 c:アノード電極	4:アノード歪緩衝板	

【図2】

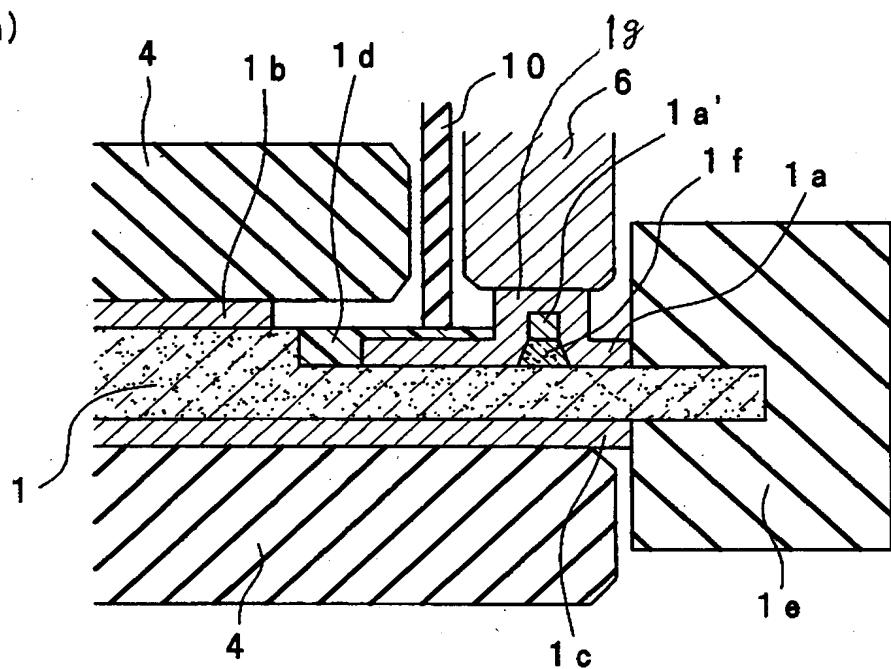


【図3】

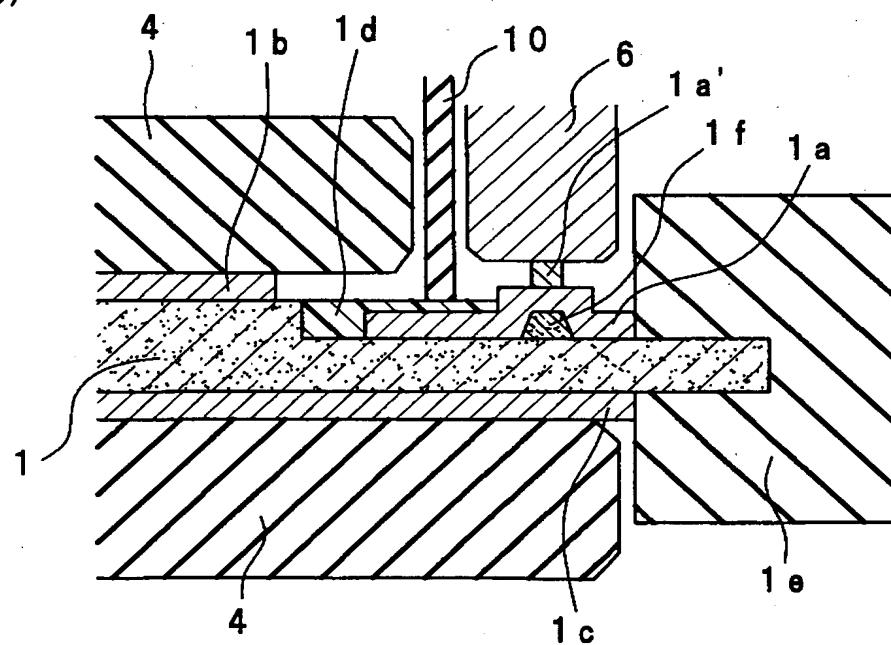


【図4】

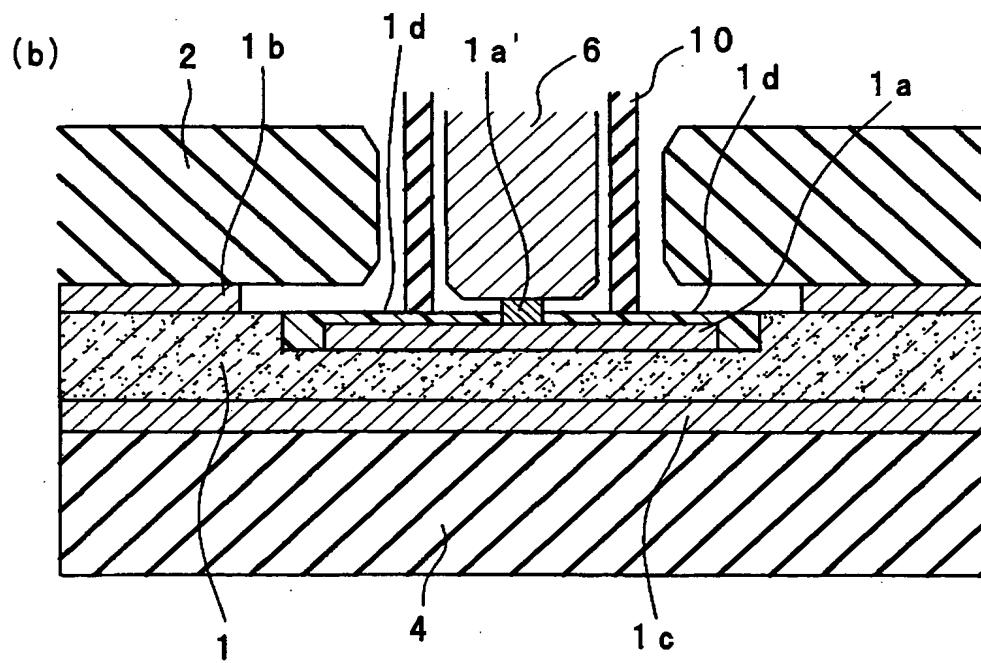
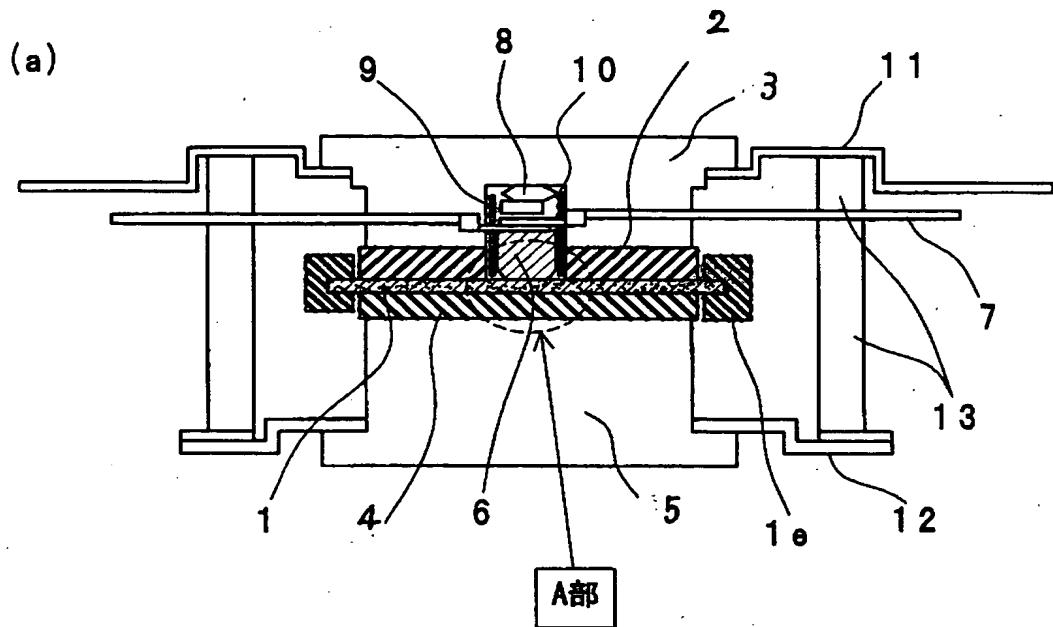
(a)



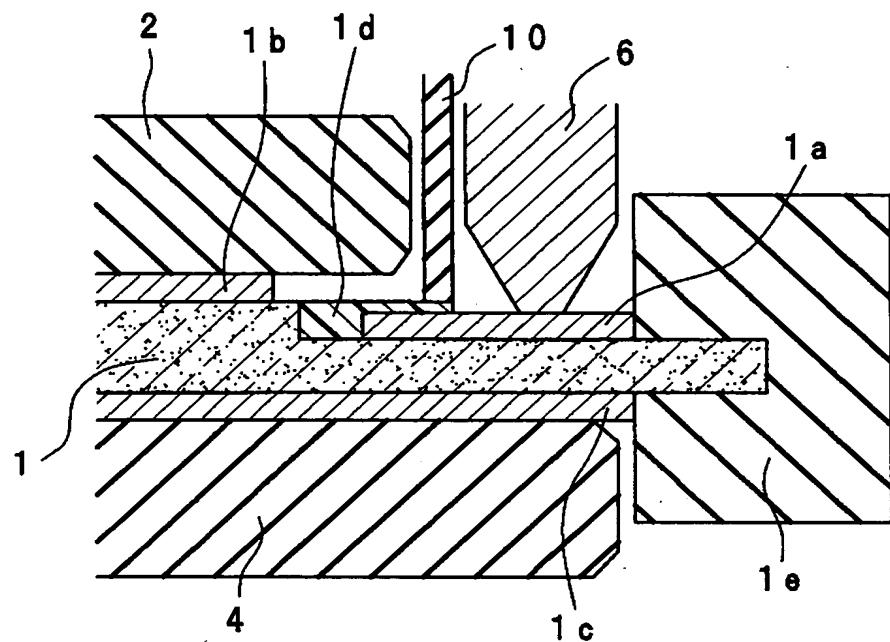
(b)



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 リングゲート部がアルミゲート電極に接触する部分を精度良く位置決めでき、ギャップ間での放電を効果的に防止して信頼性を向上できる圧接型半導体装置を提供する。

【解決手段】 ゲート電極は上記圧接補助ブロック(6)と対向するように半導体基体の外周段差部上に形成され、第1ゲート電極(1a)の上面部所定位置に凸状当接部(1a', 1g)が形成されて圧接補助ブロック(6)と当接し、ゲート電極の上面でその内周側から凸状当接部(1a', 1g)との隣接位置までの表面は絶縁膜(1d)で被膜され、凸状当接部(1a', 1g)は第2ゲート電極(1a')またはゲート電極(1a)と一体構成の凸状部(1g)で構成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社